

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199379

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

H01L 21/02
H01L 21/20
H01L 21/205

(21)Application number : 08-022160

(71)Applicant : TOSHIBA CERAMICS CO LTD

(22)Date of filing : 12.01.1996

(72)Inventor : TAKEDA RYUJI
SHIRAI HIROSHI
HAYASHI TATEO
GOTO HIROYUKI

(54) HIGH-QUALITY EPITAXIAL WAFER AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To produce at a good yield a more high-performance semiconductor device with little defects having serious influences on the device.

SOLUTION: An epitaxial wafer for semiconductor device which meets that the carrier lifetime L ($\times 10^{-3}$) in MOSC-t method is not less than $T/3N$ (N is quantity of Ni ($\times 10^{12}$ atoms/cm²) contaminating the surface of the wafer is provided. This high-quality wafer can be produces by heat-treating a Si wafer having an O concn. of 1.2×10^{18} atoms/cm³ or more and dopant concn. of 1.0×10^{18} atoms/cm³ in a nonoxidative atmosphere over 1000deg. C for specified time to epitaxially grow a Si single crystal film of 0.1-20 microns on the treated wafer surface.

LEGAL STATUS

[Date of request for examination]

07.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199379

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02			H 0 1 L 21/02	B
21/20			21/20	
21/205			21/205	

審査請求 未請求 請求項の数 6 F D (全 6 頁)

(21) 出願番号	特願平8-22160	(71) 出願人	000221122 東芝セラミックス株式会社 東京都新宿区西新宿1丁目26番2号
(22) 出願日	平成8年(1996)1月12日	(72) 発明者	竹田 隆二 神奈川県秦野市曾屋30番地 東芝セラミックス株式会社開発研究所内
		(72) 発明者	白井 宏 神奈川県秦野市曾屋30番地 東芝セラミックス株式会社開発研究所内
		(72) 発明者	林 健郎 神奈川県秦野市曾屋30番地 東芝セラミックス株式会社開発研究所内
		(74) 代理人	弁理士 赤野 牧子 (外1名) 最終頁に続く

(54) 【発明の名称】 高品位エピタキシャルウエハ及びその製造方法

(57) 【要約】

【課題】 半導体デバイスに重大な影響を及ぼす欠陥が少なくより高性能な半導体デバイスを歩留よく製造可能とするエピタキシャルウエハの提供。

【解決手段】 半導体デバイス用のエピタキシャルウエハであって、MOSC-t法によるキャリアライフタイム L ($\times 10^{-3}$ 秒) が、次式 $L \geq T/3N$ (但し、 N はエピタキシャルウエハ表面を汚染した Ni 量 ($\times 10^{12}$ atoms/cm²)、 T は Ni 汚染後1000℃で熱処理した時間(時)である。)を満足する高品位エピタキシャルウエハ。この高品位エピタキシャルウエハは、酸素濃度が 1.2×10^{18} atoms/cm³ 以上であり、且つ、ドーパント濃度が 1.0×10^{18} atoms/cm³ 以上であるシリコンウエハを、非酸化性ガス雰囲気下、1000℃以上で所定時間高温処理し、処理後のウエハ表面に0.1~20 μ mのシリコン単結晶膜をエピタキシャル成長させて製造することができる。

【特許請求の範囲】

【請求項1】 半導体デバイス用のエピタキシャルウエハであって、MOSC—t法によるキャリアライフタイム L ($\times 10^{-3}$ 秒)が、下式を満足することを特徴とする高品位エピタキシャルウエハ。

$$L \geq T/3N$$

但し、 N はエピタキシャルウエハ表面を汚染した Ni 量 ($\times 10^{12} \text{ atoms/cm}^2$)、 T は Ni 汚染後 1000°C で熱処理した時間(時)である。

【請求項2】 前記キャリアライフタイム L が、 $0.1 \sim 5$ である請求項1記載の高品位エピタキシャルウエハ。

【請求項3】 酸素濃度が $1.2 \times 10^{18} \text{ atoms/cm}^3$ 以上であり、且つ、ドーパント濃度が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上であるシリコンウエハを、非酸化性ガス雰囲気下、 1000°C 以上で高温処理し、処理後のウエハ表面に $0.1 \sim 20 \mu\text{m}$ のシリコン単結晶膜をエピタキシャル成長させることを特徴とする高品位エピタキシャルウエハの製造方法。

【請求項4】 酸素濃度が $1.2 \times 10^{18} \text{ atoms/cm}^3$ 以上であり、且つ、ドーパント濃度が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上であるシリコンウエハを、非酸化性ガス雰囲気下、 1000°C 以上で高温処理し、処理後のウエハ表面に $0.1 \sim 20 \mu\text{m}$ のシリコン単結晶膜をエピタキシャル成長させて、MOSC—t法によるキャリアライフタイム L ($\times 10^{-3}$ 秒)が $L \geq T/3N$ (但し、 N はエピタキシャルウエハ表面を汚染した Ni 量 ($\times 10^{12} \text{ atoms/cm}^2$)、 T は Ni 汚染後 1000°C で熱処理した時間(時)である。)を満足することを特徴とする高品位エピタキシャルウエハの製造方法。

【請求項5】 前記ドーパントが、ボロン、リンまたはアンチモンである請求項3または4記載の高品位エピタキシャルウエハの製造方法。

【請求項6】 前記非酸化性ガスが、水素、窒素、アルゴン、ヘリウム及びネオンから選ばれる1種のガスまたは2種以上の混合ガスである請求項3、4または5記載の高品位エピタキシャルウエハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高品位エピタキシャルウエハ及びその製造方法に関し、詳しくは半導体デバイス用エピタキシャルウエハであり、所定のMOSC—t法によるキャリアライフタイムを有する高品位エピタキシャルウエハであり、シリコン基板を所定に高温処理した後シリコンをエピタキシャル成長させて得る高品位エピタキシャルウエハの製造方法に関する。

【0002】

【従来の技術】近年の半導体デバイスの高集積化は著しいものがあり、その基板であるシリコンウエハにおいて

も高性能が要求されより結晶性のよいものが望まれている。このため、従来からDRAMやMPU用基板のウエハとしてはエピタキシャルシリコンウエハが使用されている。エピタキシャルシリコンウエハは、一般に、キャリア源、例えばボロン(B)やリンがヘビードープされたシリコン基板表面上に、数 $\sim 10 \mu\text{m}$ の厚さでシリコン単結晶膜をエピタキシャル成長させたものである。従来、このエピタキシャルウエハの基板として用いられているシリコンウエハは、一般的には、自然酸化膜除去のための1分程度の極短時間の熱処理が行われるか、または、極短時間の熱処理も行うことなくそのまま、エピタキシャル成長に供されている。

【0003】

【発明が解決しようとする課題】しかしながら、ヘビードープシリコンウエハが極めて清浄に保持され表面が鏡面平坦化されていても、厳密には微細構造的な欠陥が存在し、その表面上に成長形成される表面エピタキシャル層にも結晶欠陥が存在するのが通常である。発明者らは、これらの欠陥がエピタキシャルウエハ表面層に形成される半導体デバイスに与える影響について着目し、欠陥が少なくより高性能な半導体デバイスを歩留よく製造可能とする高品位エピタキシャルウエハの提供を目的として検討を進めた。その結果、ウエハ表面近傍で絶縁膜の劣化に大きく影響し、また、ライフタイムの劣化にも影響を与え、この点では、最終的にデバイスの信頼性や安定動作に深刻な影響を与えることが知見された。具体的には、シリコン結晶中の結晶欠陥は、絶縁膜の酸化膜のネットワークに乱れが生じ、高耐圧側での不安定動作につながることで、また、結晶欠陥はライフタイムを減少させることになり、トランジスタの動作に重大な影響を与えることである。発明者らは、これらの半導体デバイスに重大な影響を及ぼすエピタキシャルウエハの結晶欠陥を排除べく更に鋭意検討し本発明を完成した。

【0004】

【課題を解決するための手段】本発明によれば、半導体デバイス用のエピタキシャルウエハであって、MOSC—t法によるキャリアライフタイム L ($\times 10^{-3}$ 秒)が、次式 $L \geq T/3N$ (但し、 N はエピタキシャルウエハ表面を汚染した Ni 量 ($\times 10^{12} \text{ atoms/cm}^2$)、 T は Ni 汚染後 1000°C で熱処理した時間(時)である。)を満足することを特徴とする高品位エピタキシャルウエハが提供される。本発明の高品位エピタキシャルウエハにおいて、前記キャリアライフタイム L が、 $0.1 \sim 5$ であることが好ましい。

【0005】また、本発明によれば、酸素濃度が $1.2 \times 10^{18} \text{ atoms/cm}^3$ 以上であり、且つ、ドーパント濃度が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上であるシリコンウエハを、非酸化性ガス雰囲気下、 1000°C 以上で高温処理し、処理後のウエハ表面に $0.1 \sim 20 \mu\text{m}$ のシリコン単結晶膜をエピタキシャル成長させる

こと特徴とする高品位エピタキシャルウエハの製造方法が提供される。本発明の製造方法で製造されるシリコンウエハは、MOSC—t法によるキャリアライフタイム L ($\times 10^{-3}$ 秒)が、次式 $L \geq T/3N$ (但し、 N はエピタキシャルウエハ表面を汚染した Ni 量 ($\times 10^{12}$ atoms/cm²)、 T は Ni 汚染後1000℃で熱処理した時間(時)である。)を満足する高品位である。上記本発明の高品位エピタキシャルウエハの製造方法において、ドーパントが、ボロン、リンまたはアンチモンであることが好ましく、また、前記非酸化性ガスが、水素、窒素、アルゴン、ヘリウム及びネオンから選ばれる1種のガスまたは2種以上の混合ガスであることが好ましい。

【0006】本発明は上記のように構成され、所定の例えば0.1～5×10⁻³秒のMOSC—t法によるキャリアライフタイムを有し、シリコンウエハの表面結晶層状態が析出欠陥や積層欠陥等の微細結晶欠陥や不純物汚染が極めて少なく良好な品位シリコンウエハであることから、結果として絶縁膜のネットワークに乱れが生じることなく、高耐圧側でも安定した動作ができる信頼性の高いデバイスを得ることができる。また、本発明の高品位エピタキシャルウエハの製造方法は、従来のヘビードープシリコン基板を所定に高温処理し、その後、処理表面上にシリコン単結晶をエピタキシャル成長させるものであり、工業性も高い。

【0007】

【発明の実施の形態】以下、本発明について詳細に説明する。本発明の高品位エピタキシャルウエハの特性であるMOSC—t法によるキャリアライフタイムは、従来から結晶欠陥の電気的評価法として知られ、ウエハ上にMOS構造を形成しMOS容量の時間応答を調べることにより、その表面層の結晶状態を間接的に測定するものである。即ち、MOSダイオードのゲートに反転状態になるように電圧を印加して、平衡状態に戻るまでの時間を測定して半導体シリコンウエハに形成される空乏層中のキャリア生成を測定することにより、MOS容量の界面を含むシリコンウエハ表面層中のキャリアの再結合の中心濃度が求められ、キャリアライフタイムが大きな値を示すことにより電気的に活性な領域で良好な結晶状態にあることが分かる。本発明の高品位エピタキシャルウエハは、MOSC—t法によるキャリアライフタイム L ($\times 10^{-3}$ 秒)が、次式 $L \geq T/3N$ (但し、 N はエピタキシャルウエハ表面を汚染した Ni 量 ($\times 10^{12}$ atoms/cm²)、 T は Ni 汚染後1000℃で熱処理した時間(時)である。)を満足するものであり、この条件を満足するような表面層が良好な結晶状態にあれば、例えば、後記する実施例で明らかなように、デバイス製造工程において汚染が生じた場合でも充分なキャリア容量を保持でき、高性能で安定した動作を保証する信頼性の高いデバイスの製造を可能にすることができる。

【0008】本発明の高品位エピタキシャルウエハは、先ず、従来公知の方法で形成される酸素濃度が 1.15×10^{18} atoms/cm³ 以上で、ボロン、リン、アンチモン等のドーパント濃度が 1×10^{18} atoms/cm³ 以上のヘビードープシリコンウエハを、所定に高温処理する。ここで用いるシリコンウエハの酸素濃度及びドーパント濃度は、従来のエピタキシャルウエハで用いられているものと同様であり、格別なものでなく通常のシリコンウエハを用いることができる。ドーパントの種類は所望の n 型または p 型半導体により選択すればよい。例えば、通常のチョクラスキー法で引き上げられたインゴットを、公知の方法によりスライス、研磨等の諸工程を経て鏡面研磨して得られるシリコンウエハを用いる。

【0009】本発明においては、上記シリコンウエハを、還元ガスの水素ガス、不活性ガスの窒素、アルゴン、ヘリウム、ネオン等から選ばれた1種のガス雰囲気または2種以上の混合ガス雰囲気の非酸化性ガス雰囲気下で、1000℃以上、好ましくは1100℃以上で高温処理する。この高温処理により、上記従来から用いられるシリコンウエハの表面付近に存在し、その表面にエピタキシャル成長されるシリコン単結晶層の欠陥原因となる酸素あるいはドーパント等の各種析出物を減少させ、また消滅させて良好な表面層のシリコン基板を形成することができる。上記非酸化性ガスとしては、好ましくは水素ガス、または水素ガスと不活性ガス1種との混合ガスを用いることが好ましい。高温処理を非酸化性雰囲気で行うのは、酸素あるいはドーパントの外方拡散を促進させるためであり、また、シリコン表面の酸化を防止しベア状態に保持すると共に、水素ガス雰囲気とすることにより酸化物を除去することができるためである。処理温度が1000℃未満であるとシリコンウエハ表面層の析出物等を十分に減少させることができず、得られるエピタキシャルウエハの表面層に欠陥が生じるためである。また、処理温度の上限は1300℃であり、特に処理炉等の処理条件により適宜選択することができる。通常、1000～1200℃で行う。高温処理時間は、処理温度により変化するが、1200℃の場合、一般に1～240分であり、通常、60分間高温処理する。

【0010】本発明の高品位エピタキシャルウエハは、上記高温処理したシリコン基板上に0.1～20 μ mの厚さでシリコン単結晶膜をエピタキシャル成長させて製造することができる。本発明のエピタキシャル処理は、従来公知の方法で行うことができ、特に制限されるものでない。例えば、塩化珪素類($SiCl_4$ 、 $SiCl_2$)、シラン類(SiH_4 、 $SiHCl_3$ 、 $SiHCl_2$)等の Si 含有の反応ガスを約850～1200℃で、上記高温処理済のシリコン基板上を流通させて行うことができる。エピタキシャル膜の厚さが0.1 μ m未満の場合はデバイス活性層として使用できない。20 μ

mを超えるとエピタキシャルウエハを使用する利点であるラッチアップ特性の悪化を招くため好ましくない。通常、1~10 μ mに成長形成する。

【0011】本発明の高品位エピタキシャルウエハは、上記製造工程においてシリコンウエハを所定の非酸化性雰囲気下で高温処理することにより、前記したようにその表面層に存在する微小欠陥等を減少させ、シリコン基板の良好な表面上にシリコン単結晶をエピタキシャル成長させることから、結晶性のよいエピタキシャル膜が形成され、より完全なシリコン単結晶表面層を有するものである。このため、高結晶性の表面層上に形成される酸化膜の摩耗等による故障が延期され、また、形成される半導体デバイスのライフタイムも延期される。また、表面結晶層には欠陥が存在しないが、基板バルク中には高密度の析出欠陥が残存することから、ゲッター能力が高く、汚染に対して高耐性を有し、高性能な半導体デバイスを得ることができる。

【0012】

【実施例】以下、本発明を実施例に基づき更に詳細に説明する。但し、本発明は下記実施例により制限されるものでない。

実施例及び比較例

ボロン濃度 1.07×10^{19} atoms/cm³で、酸素濃度 1.6×10^{18} atoms/cm³のシリコンウエハを20枚用意し、そのうち10枚のウエハに対して水素雰囲気炉内で1200℃で1時間高温処理した。残り10枚については何等処理しなかった。次いで、上記の高温処理済の10枚の及び未処理の10枚の全てのシリコンウエハを、SiCl₂H₂ガスを原料として、1050℃、5分間エピタキシャル成長させる条件で処理して、各シリコンウエハ上にシリコンのエピタキシャル成長膜を5 μ m厚さに形成し、高温前処理エピタキシャルウエハ(Aサンプル)10枚と未処理エピタキシャルウエハ(Bサンプル)10枚をそれぞれ得た。

【0013】上記で得られた各A及びBサンプルの各エピタキシャルウエハ10枚について、ゲッターリング能力を検査するためにNi汚染を次の手順で行った。即ち、原子吸光分析用標準溶液(Ni濃度0.1010mg/mlのニッケル硝酸溶液(20℃))を滴下したSC-1(NH₄OH:H₂O₂:H₂O=1:1:6)溶液中に、上記のA及びBサンプルを1時間浸漬し、各エピタキシャルウエハ表面にNiを $5 \sim 6 \times 10^{12}$ atoms/cm²の密度で汚染した。次ぎに、得られたNi汚染A及びBサンプル各10枚に対して、それぞれ下記の4種の熱処理を行った。熱処理①は、A及びBサンプルの各1枚ずつについて100%酸素雰囲気下、780℃で3時間保持して処理した後、更に、昇温して1000℃で16時間保持し、2段熱処理を行った。また、熱処理②~④は、A及びBサンプルの各3枚ずつについて、同様に酸素100%雰囲気下、1000℃で1時間(熱

処理②)、3時間(熱処理③)及び9時間(熱処理④)保持して処理した。

【0014】上記熱処理①で処理したA及びBサンプル各1枚を、HF(49重量%濃度):HNO₃(60重量%濃度):H₂O=1:15:4(体積比)のエッチング溶液でエッチング処理した。エッチング処理した各エピタキシャルウエハを切断して断面組織について光学顕微鏡写真を撮影した。得られた光学顕微鏡写真を図1(A)にAサンプル及び図1(B)にBサンプルをそれぞれ示した。図1において、Aサンプルでは表面より15 μ mまでの領域で欠陥が見られず良好な層が形成されているのに対し、Bサンプルでは同様な領域に積層欠陥等のいくつかの欠陥が観察される。これらから、水素雰囲気下1200℃で高温処理した後にシリコン単結晶をエピタキシャル成長させたエピタキシャルウエハは、表面層に欠陥がなく結晶構造が良好であることが明らかである。更に、このエッチング処理した各エピタキシャルウエハの断面を赤外線トモグラフィ法で観察した。得られた赤外線トモグラフィを図2(A)にAサンプル及び図2(B)にBサンプルをそれぞれ示した。図2において、Aサンプルでは表面より10 μ mの領域で欠陥が少ないことが観察され、また、汚染物のゲッターリング能に優れることが分かる一方、サンプルBでは、エピタキシャル膜の表面より5 μ m程度の領域で無欠陥層が確認される程度であることが分かる。

【0015】上記熱処理②~④で得られた各3枚ずつのA及びBサンプルを用いてそれぞれMOS構造を形成してジェネレーションライフタイムを計測した。その結果を、酸素雰囲気下1000℃の熱処理時間とライフタイムとの関係図として図3に示した。図中○がサンプルAで、◇がサンプルBを示す。これらの結果から、Ni汚染後、酸素雰囲気下1000℃で1時間の熱処理②では、サンプルA及びBが共に同等のライフタイムであり、前処理の有無に余り関係なくエピタキシャルウエハ表面がライフタイムキラー(汚染したNi原子)が高濃度で存在することが分かる。しかし、処理時間3時間の熱処理③及び処理時間9時間の熱処理④の熱処理時間を増大させた場合には、前処理したサンプルAのライフタイムが回復し、Bサンプルに比し1.5~10倍のライフタイムを有し最終到達値も高いことが分かる。即ち、エピタキシャル成長膜の形成前に所定の高温処理したエピタキシャルウエハは、酸化熱処理することにより汚染物を減少させる優れたゲッターリング能力を有しデバイス製造工程中の汚染に対して耐性が高いことが分かる。

【0016】上記実施例及び比較例より明らかなように、本発明の水素ガス等非酸化性ガス雰囲気下で高温処理した後のシリコン基板にエピタキシャル膜を成長させたエピタキシャルウエハは、表面層に欠陥が無く結晶性に優れることが分かる。また、未処理のものに比し汚染耐性が高く所定のMOSC-t法によるキャリアライフ

タイムを有し汚染耐性に優れることが分かる。

【0017】

【発明の効果】本発明の高品位エピタキシャルウエハは、良好なシリコン単結晶の表面層を有し、表面より15 μ mまでの領域で、析出欠陥や積層欠陥などの結晶欠陥が存在しない半導体用エピタキシャルウエハであり、電氣的に活性な領域において高性能で、汚染物に対するゲッターリング能力にも優れ、安定した動作を確保できる高性能な半導体デバイスを製造することができる。また、シリコンウエハを所定の高温前処理をすることにより簡便、且つ容易に形成することができ、工業的に実用

性が高い。

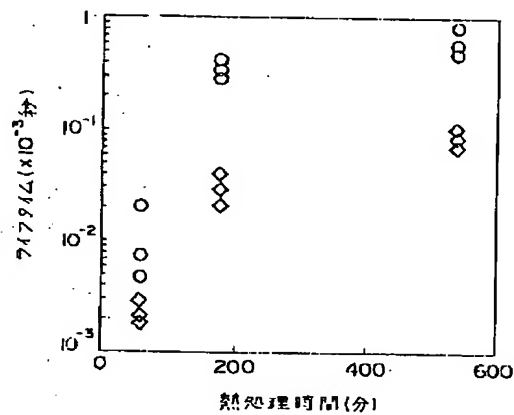
【図面の簡単な説明】

【図1】本発明の実施例(A)及び比較例(B)で得られたエピタキシャルウエハの断面組織の選択エッチング後の光学顕微鏡写真

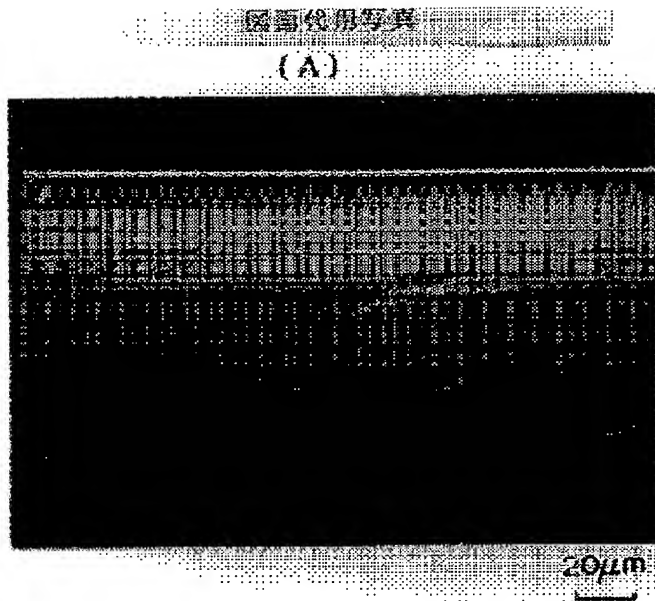
【図2】本発明の実施例(A)及び比較例(B)で得られエピタキシャルウエハの断面組織の赤外線トモグラフィ写真

【図3】本発明の実施例及び比較例で得られたエピタキシャルウエハについての汚染後の熱処理時間とライフタイムの関係図

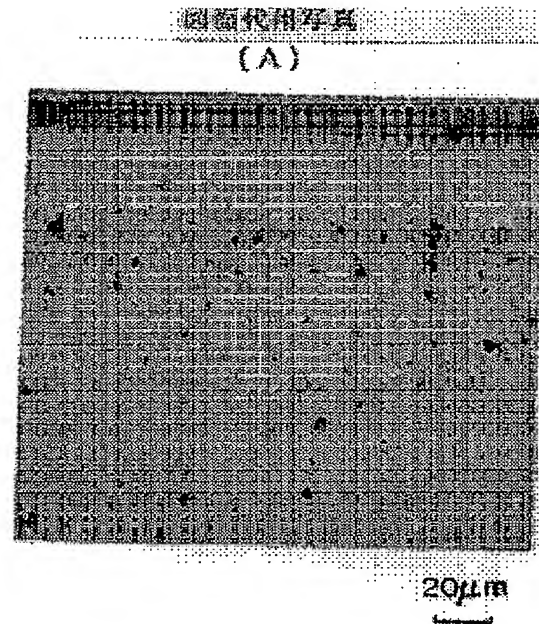
【図3】



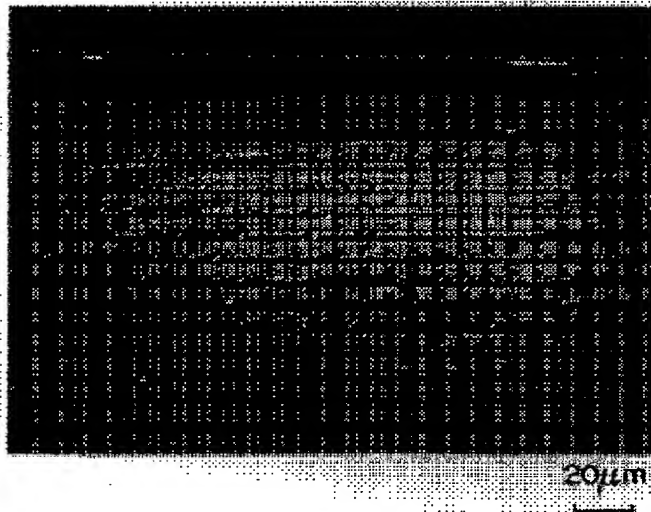
【図1】



【図2】



(B)



(B)



フロントページの続き

(72)発明者 後藤 浩之
神奈川県秦野市曾屋30番地 東芝セラミッ
クス株式会社開発研究所内

BEST AVAILABLE COPY